

Serial No.: 10/018,795

REMARKS

Claims 4, 6, 8-11, 13, 15, 17, 21 and 22, as amended, remain herein.

Claims 1-3, 5, 7, 12, 14, 16 and withdrawn claims 18-20 have been cancelled without prejudice or disclaimer.

Claims 4, 9, 10, 11, 15 and 16 have been rewritten into independent form.

Independent claims 21 and 22 have been added, reciting the limitations of claims 9 and 10, respectively, plus the limitations of original claim 11.

1. Applicants note that the Japanese Unexamined Patent Application Publication H5-136417 mentioned in the specification at page 4, was cited in the Information Disclosure Statement filed March 14, 2002.

The Office Action mentioned that a publication date for one reference was missing from the March 14 Information Disclosure Statement. The article by Mr. Nanno, titled "Analysis of Photo Induced Current of Low Temperature p-SI TFT," was published in October 2001.

Serial No.: 10/018,795

2. Objections were stated to the drawings for improper labeling. Submitted herewith is a copy of Figure 38 labeled as "Prior Art." Withdrawal of the objection to the drawings is respectfully requested.

3. Objections were stated to the specification. Minor editorial changes were made to pages 22, 32 and 52, thereby mooting those objections.

4. Objections were stated to claims 1-6 and 14-17. Claims 1-3, 5, 14 and 16 have been cancelled, and each informality in claims 4, 6, 15 and 17 has been amended. The independent claims recite the drain region having therein an lightly doped drain region (LDD), thereby mooting those objections.

5. Claims 1-6, 11-13 and 14-17 were rejected under 35 U.S.C. §112, first paragraph, as allegedly claiming subject matter not fully described in the specification. Claims 1-3, 5, 12, 14 and 16 have been cancelled thereby mooting their rejection.

Serial No.: 10/018,795

The Office Action states that "the specification fails to provide an adequate description about how R is controlled and measured." Generally, sheet resistance R is controlled by adjusting an acceleration voltage and the concentration of an ionized doping gas in an ion doping process, which is a technique known in the art. An example of such known technique is described in the publication about low-temperature p-Si process titled "Toshiba Review Vol. 55, No. 2 (2000)." A copy of the pertinent pages of that Japanese language publication is attached hereto (Attachment A). Also attached is a copy of lecture material from the University of Electro-Communications, which contains a Japanese language explanation on the principle of measuring sheet resistance by a 4-point probe method (Attachment B). An English language description of the method described therein follows:

Sheet resistance R is measured by a general 4-point probe method, the principle of which is as follows. Four terminals are placed in a straight line, and a constant current is allowed to pass through two of the terminals that are located at both ends of the line. Under this state, the potential difference of the remaining two terminals located at the middle of the line is measured. The applied current, potential difference, and distance between the terminals are used to measure sheet resistance R.

Serial No.: 10/018,795

Accordingly, the subject matter of applicants' claims is fully described in the specification, and the specification refers to a known technique for controlling and measuring sheet resistance R. Reconsideration and withdrawal of the rejection are respectfully requested.

6. Claims 1-6 and 14-17 were rejected under 35 U.S.C. §112, second paragraph, as being incomplete. Claims 1-3, 5, 14 and 16 have been cancelled, thereby mooting their rejection. The claims no longer recite the phrase "width of the depletion layer."

Reconsideration and withdrawal of this rejection are respectfully requested.

7. Claims 1-6 and 14-17 were rejected under 35 U.S.C. §112, second paragraph, as being indefinite. Claims 1-3, 5, 14 and 16 have been cancelled, thereby mooting their rejection. Reconsideration and withdrawal of this rejection are respectfully requested.

Serial No.: 10/018,795

8. Claims 8, 9 and 11 were rejected under 35 U.S.C. §102(b) over Miyasaka U.S. Patent 6,180,957. Contrary to the statements in the Office Action, while Miyasaka '957 discloses the mere preparation of a thin transistor with a channel width of 2  $\mu\text{m}$  or less, and specific values for length L and voltage V that satisfy expressions (3) and (4) of the presently claimed invention, Miyasaka '957 does not disclose a thin film transistor according to expressions (3) and (4), and instead requires many experiments to optimize thin film transistor characteristics.

For the foregoing reasons, Miyasaka '957 fails to disclose all elements of applicants' claimed invention, and therefore is not a proper basis for rejection under §102. And, there is no disclosure or teaching in Miyasaka '957 that would have suggested the desirability of modifying any portions thereof effectively to anticipate or suggest applicants' presently claimed invention. Claim 11, which depends from any one of claims 8 and 9, is allowable for the same reasons described herein for claims 8 and 9. Accordingly, reconsideration and withdrawal of this rejection are respectfully requested.

Serial No.: 10/018,795

9. Claims 10 and 12 were rejected under 35 U.S.C. §103(a) over Miyasaka '957 and Yamazaki et al. U.S. Patent 6,218,219. Claim 12 has been cancelled, thereby mooted its rejection.

The Office Action admits that Miyasaka '957 does not disclose the low concentration impurity region only on the drain side, and suggests that Yamazaki '219 allegedly teaches same. However, Yamazaki '219 does not provide the deficiencies of Miyasaka '957 described herein.

For the foregoing reasons, neither Miyasaka '957 nor Yamazaki '219 contains any teaching, suggestion, reason, motivation or incentive that would have led one of ordinary skill in the art to applicants' claimed invention. Nor is there any disclosure or teaching in either of these references that would have suggested the desirability of combining any portions thereof effectively to anticipate or suggest applicants' presently claimed invention. Accordingly, reconsideration and withdrawal of this rejection are respectfully requested.

Serial No.: 10/018,795

10. Claim 13 was rejected under 35 U.S.C. §103(a) over Miyasaka '957, Applicants' Admitted Prior Art (AAPA) disclosed in applicants' specification and/or Kuni U.S. Patent 5,412,493.

The Office Action includes the statement that Applicants' Admitted Prior Art (AAPA), and Kuni '493, allegedly disclose an LDD region only in the drain side for further reducing the size of a TFT and further increasing the On-current. However, neither of these references provides the deficiencies of Miyasaka '957 described herein.

For the foregoing reasons, neither Miyasaka '957 nor AAPA contains any teaching, suggestion, reason, motivation or incentive that would have led one of ordinary skill in the art to applicants' claimed invention. Nor is there any disclosure or teaching in either of these references that would have suggested the desirability of combining any portions thereof effectively to anticipate or suggest applicants' presently claimed invention. Accordingly, reconsideration and withdrawal of this rejection are respectfully requested.

Serial No.: 10/018,795

11. Claims 1-3, 5 and 7 were rejected under 35 U.S.C. §103(a) over Miyasaka '957 and Ohta et al. U.S. Patent 6,532,053. Claims 1-3, 5 and 7 are cancelled, thereby mooting the rejection. Reconsideration and withdrawal of this rejection are respectfully requested.

12. Claims 4, 6 and 14-17 were rejected under 35 U.S.C. §103(a) over Miyasaka '957, Ohta '053 and Yamazaki '219. Also, claims 10 and 12 were rejected under 35 U.S.C. §103(a) over Miyasaka '957 and Yamazaki '219. Claims 12, 14 and 16 have been cancelled, thereby mooting their rejection.

The Office Action includes the statement:

one of ordinary skill in the art would readily recognize that the channel width of TFT is well-recognized parameter of importance subject to routine experimentation and optimization, ..., and that the channel width of a TFT can be readily as small as 2 microns or less ...

Applicants respectfully disagree. The mere preparation of a thin film transistor with a channel width of 2  $\mu\text{m}$  or less (such as described in Yamazaki '219), in which no thought is given to performance (specs) required of the transistor, can be accomplished by a person of ordinary skill in the art. However, it must be kept in mind that in the actual design of



Serial No.: 10/018,795

a device, the channel width is not independently fixed. Besides the channel width, design parameters such as channel length  $L$ , length  $\Delta L$  of the LDD region, and sheet resistance  $R$  need to be determined to meet the performance requirement of the transistor. Design must take these parameters into consideration because they may be dependent on each other and various transistor characteristics.

Therefore, it would not necessarily be true that a thin film transistor with a channel width of 2  $\mu\text{m}$  or less, while satisfying expression (2), can be readily obtained simply because Miyasaka '957 discloses a thin film transistor that satisfies expression (2) with a 52  $\text{k}\Omega/\square$  sheet resistance of the LDD region and a channel width of 10  $\mu\text{m}$ , and because the mere preparation of a thin transistor with a channel width of 2  $\mu\text{m}$  or less is easy in itself, as described in Yamazaki '219.

For example, the design of a transistor that is aimed at reducing its size cannot be attained simply by making the channel width 2  $\mu\text{m}$  or less. Actually, various experiments need to be performed to design the above-mentioned various parameters in consideration of transistor characteristics such as OFF current resulting from photoconductive current and ON current. That is to say, the prior art requires many

Serial No.: 10/018,795

experiments to design thin film transistor characteristics, because the prior art does not teach a transistor structure that satisfies expression (2) of the presently claimed invention that has the effect of suppressing OFF current resulting from photoconductive current.

Thus, a thin film transistor with a channel width of 2  $\mu\text{m}$  or less while satisfying expression (2) is actually much more difficult to obtain than it seems if based on Miyasaka '057. The presently claimed transistor structure has a reduced channel width meeting expression (2), as recited in applicants' claims 4 and 6.

For the foregoing reasons, none of Miyasaka '957, Ohta '053 or Yamazaki '219 contains any teaching, suggestion, reason, motivation or incentive that would have led one of ordinary skill in the art to applicants' claimed invention. Nor is there any disclosure or teaching in any of these references that would have suggested the desirability of combining any portions thereof effectively to anticipate or suggest applicants' presently claimed invention. Accordingly, reconsideration and withdrawal of this rejection are respectfully requested.

Serial No.: 10/018,795

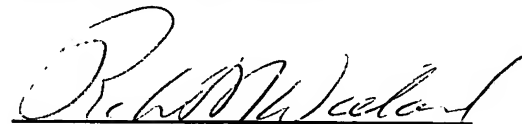
All claims 4, 6, 8-11, 13, 15, 17, 21 and 22 are now proper in form and patentably distinguished over all grounds of rejection cited in the Office Action. Accordingly, allowance of all claims 4, 6, 8-11, 13, 15, 17, 21 and 22 is respectfully requested.

Should the Examiner deem that any further action by the applicants would be desirable to place this application in even better condition for issue, the Examiner is requested to telephone applicants' undersigned representatives.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

August 8, 2003  
Date



Roger W. Parkhurst  
Registration No. 25,177  
Robert N. Wieland  
Registration No. 40,225

RWP:RNW/mhs

Attachments: 1 replacement sheet Fig. 38  
Attachments A and B

Attorney Docket No.: OGOH:104

PARKHURST & WENDEL, L.L.P.  
1421 Prince Street, Suite 210  
Alexandria, Virginia 22314-2805  
Telephone: (703) 739-0220

多結晶(ポリ)シリコン(以下、p-Siと略記)薄膜トランジスタ(以下、TFTと略記)を用いて、駆動回路を一体化したノートパソコン(PC)用高精細液晶ディスプレイを開発した。ガラス基板を適用するために、p-Siをエキシマレーザアニール法で作製し、プロセスの低温化を図った。特に、TFTのしきい値制御と信頼性確保により、多くのTFTから成る駆動回路を集積することに成功した。

This paper focuses on excimer laser crystallized poly-Si TFT technologies for obtaining high-performance notebook-size displays with high pixel density. Among the topics covered are TFT structures for CMOS circuits and their process integration, threshold voltage control, and reliability of TFT characteristics.

## 1 まえがき

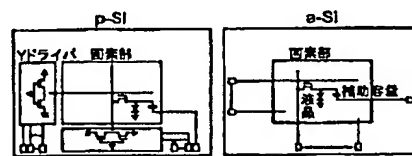
マルチメディア情報化時代の必需品として、持ち運び可能なノートPCが定着しつつある。そのかなめになるのが、画質の美しい液晶ディスプレイである。従来のアモルファスSi(以下、a-Siと略記)TFTを用いた場合、駆動回路はディスプレイの外側にTAB(Tape Automated Bonding)で接続していた。p-Si TFTを用い、600℃以下の低温プロセスを採用することで、駆動回路をガラス基板上に集積することができる。このため、高精細化、低消費電力化が可能になる。将来、様々な回路を集積できることで応用も広がることが期待される。

低温p-Siの開発史は古く、1980年代半ばから始まった。小型パネルへの応用が主で、大型化への挑戦はいくどかあったが、成功していない。当社は、97年に世界に先駆けて対角31cm(12.1型)XGA(eXtended Graphics Array、画素数:1,024×768)を発表、翌98年には10.4型XGA、99年には15型UXGA(Ultra XGA、画素数:1,600×1,200)を発表し、p-Si技術は中、大型ディスプレイにも適用できることを示した。

ここでは、駆動回路を構成する低温p-Si TFTについて、基本構造、デバイスの特長、作製するうえでキーとなるプロセス技術と課題について概説する。

## 2 p-Siパネルの特長

p-Si TFTパネルの概念を、a-Si TFTパネルと比較して図1に示す。XGAを例にとると、a-Siパネルは画素部と外付け回路接続用の4,000個の周辺端子群から構成される。これに対しp-Siパネルでは、画素TFTのほかにすべての



画素数	約200	約4,000
TFT移動度	約100 cm <sup>2</sup> /V·s	約0.5 cm <sup>2</sup> /V·s
回路構成	シフトレジスタ、レベルシフト、アナログスイッチ、画素スイッチ	画素スイッチ

図1. p-Si TFTパネルとa-Si TFTパネルの概念 p-Si TFTパネルは外部端子接続数が激減し、基板の1辺に集められるためシンプルになる。図はXGAを示す。

Schematic diagrams of poly-Si TFT panel and a-Si TFT panel

“X, Y”座標の画素を駆動するために、Xドライバ及びYドライバを構成するTFTが周辺に並ぶ。したがって、外部端子数はX, Yドライバの入力分で良いため、大幅に減少し、X, Y合計で200本弱となる。更に、これらの入力端子を基板の1辺に集められるため、外形がシンプルな構造になる。画素TFTはn-ch TFT<sup>(注1)</sup>、駆動回路は低消費電力であることと設計マージンが広いことから、p-ch TFT<sup>(注2)</sup>とn-ch TFTを組み合わせたC-MOS<sup>(注3)</sup>を用いた。駆動回路はシフトレジスタ、レベルシフト、アナログスイッチなどから構成され、動作に必要なTFTの動作速度は2MHz程度となる。更に、分割駆動法<sup>(注4)</sup>や冗長回路<sup>(注5)</sup>を用いて10型の大型ディスプレイを駆動することを可能にした<sup>(1)</sup>。

- (注1) 電流経路が電子で形成されるnチャネル型TFT。  
(注2) 電流経路がホールで形成されるpチャネル型TFT。  
(注3) n-ch TFTとp-ch TFTで構成した相補型回路。  
(注4) 画面をいくつかに分けて駆動する方法。  
(注5) TFTが部分的に動作すれば動く工夫をした回路。

### 3 p-Si TFTの構造

TFTの断面模式を図2に示す<sup>④</sup>。ゲートがp-Si層の上にある“トップゲート”構造を採用した。ゲートがp-Si層の下にある“ボトムゲート”構造に比べ、良質なp-Si結晶が得られるからである。n-ch TFTにはリーク電流の低減、信頼性の向上を図るため、LDD (Lightly Doped Drain) 構造<sup>⑤⑥</sup>を採用した。p-ch TFTのソース(S)/ドレイン(D)<sup>⑦</sup>領域にはボロン(B)、n-ch TFTのS/D領域とLDD領域にはリン(P)を注入した。

ゲート酸化膜は、原料ガスにテトラエトキシシラン(TEOS: TetraEthOxySilane,  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )を用い、プラズマCVD (Chemical Vapor Deposition) 法にて作製した酸化シリコン( $\text{SiO}_2$ )を採用した。ゲート金属はモリブデンタングステン(MoW)、配線材料はアルミニウム(Al)である。素子の保護膜に窒化シリコン(SiN)を用いた。p-ch TFT, n-ch TFTとも良好な特性が得られている(図3)<sup>④</sup>。TFTのしきい値はチャネルドーピングによって制御している。

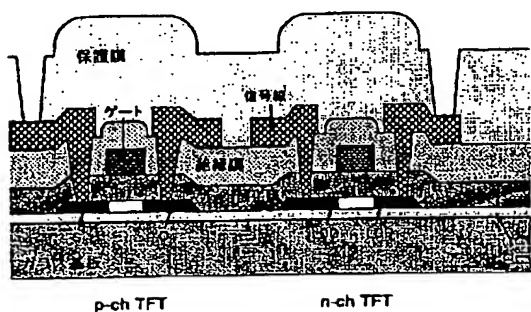


図2. TFTの断面模式図 トップゲート構造で、n-ch TFTはLDD構造となっている。  
Cross-sectional view of p-type TFT and n-type TFT

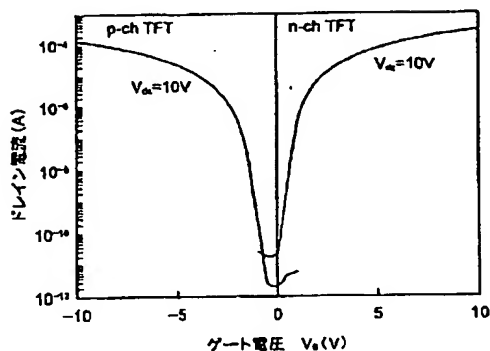


図3. p-Si TFTのドレイン電流-ゲート電圧特性 p-ch TFT, n-ch TFTともに、良好な特性が得られている。  
Transfer characteristics of poly-Si TFT

### 4 p-Si TFTの固有プロセスと課題

a-Si TFTと比べ、p-Si固有のキープロセス技術として、p-Si形成技術、不純物制御技術、低温ゲート酸化膜形成技術の三つが挙げられる。

#### 4.1 p-Si形成技術

p-Siは、エキシマレーザ(波長308nm)の高出力パルスで照射し、a-Si膜を熔融、冷却、固化させることにより形成する。この方法をエキシマレーザアニール(以下、ELAと略記)と呼び、大面積にわたって良質なp-Siが低温で得られる。数10nsという瞬間的な加熱のため、ガラス基板に損傷を与えることはない。a-Si膜はシランガスを原料としてプラズマCVD法で成膜する。a-Si膜中には水素が数~十数%含まれており、ELAを行うと瞬時に1,000℃以上になるため、水素が急激に抜けて膜がはがれてしまう。そのため、ELA前に熱処理してa-Si膜中の水素濃度を数%程度以下に低減する。

a-Si膜にレーザを照射するといったん熔融して再結晶化し、結晶粒が連なった状態になる。エネルギー密度が低いと、結晶成長が不十分で結晶粒径が小さくなる。また、逆にエネルギー密度が高すぎると、結晶自体が破壊され微結晶が成長しやすくなる。そのため、最適なエネルギー密度の範囲が存在する。同一場所を何回も多重に照射することで結晶粒を大きくし0.3~1μmとする。図4に示すように、TFTの電界効果移動度<sup>⑧</sup>(以下、移動度と略記)はこの結晶粒径に大きく依存する<sup>⑩</sup>。特に、n-ch TFTは電子が粒界散乱の影響を受けやすいため、敏感である。希望する移動度を

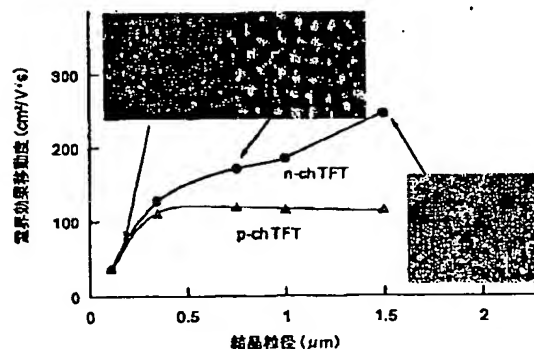


図4. p-Si TFTの電界効果移動度の粒径依存性 電界効果移動度は小粒径で小さく、粒径が大きくなると、大きくなる。n-ch TFTの方が粒径に敏感である。

Poly-Si grain size dependence of TFT field effect mobility

(注6) ゲート端にソース及びドレイン領域より低濃度領域を設け、電界を緩和し劣化を防ぐ構造。

(注7) TFTの電流の入出力領域(S及びD)。

(注8) TFTの電流駆動能力を示す値。

得るためには、基板内で粒径の均一なp-Si結晶を成長させることが必要である。そのため、a-Si膜厚分布を均一にし、レーザ出力のばらつきを抑えた。

#### 4.2 イオンドーピング

n-ch, p-ch TFTの不純物制御には、イオンドーピング法を用いる。この方法は、LSI技術のイオン注入法と異なり、イオン化したガスを質量分離せず、そのまま加速して基板に注入させるものである。もともと大面積基板に効率良く注入し、生産性を向上させるために開発された技術である。Bの例をとると、イオン注入法では質量分離機構によって、Bだけが注入されるのに対し、イオンドーピング法では原料ガスであるジボラン(B<sub>2</sub>H<sub>6</sub>)のプラズマ生成された分解生成物、つまり、BH、B<sub>2</sub>H、H、H<sub>2</sub>…などの成分がすべて基板に注入されることになる。つまり、総イオン電流中の正味のBの割合を正確に計測し、設定しなくてはならない。特に、低濃度注入ではドーパント比率<sup>(注9)</sup>の計測が難しく、注入量の不安定性、再現性不良の原因になっている。

イオンドーピング工程には、注入する濃度に応じて高、中、低の3種類がある。S及びD領域の形成には高濃度注入が用いられる。ゲート酸化膜を通して注入し、p-Siの損傷を軽減している。その後、600℃程度の熱アニールで再結晶化させ、注入した不純物を活性化させる。LDD領域は、n-ch TFTのS及びD領域より2けた低い中濃度注入を実施している。チャネル領域には低濃度注入により、しきい値の微調整をしている。

#### 4.3 低温ゲート酸化膜形成技術

ゲート酸化膜の良否は、TFTの特性を大きく左右する。LSI技術で用いられている熱酸化膜はもともと良質とされているが、プロセス温度が900℃以上と高いため、ガラス基板には適用できない。低温で良質な酸化膜を得るためには、成膜中に欠陥を導入しないことが必要である。そこで分解効率が高いTEOSを原料ガスとして、プラズマCVD法により形成した。

様々な酸化膜のBTS(Bias Temperature Stress)試験<sup>(注10)</sup>結果からも、TEOS酸化膜は熱酸化膜に匹敵する特性を示し、実用に耐えることを示している(図5)。すなわち、ストレス試験前後の変化が小さい。a-Si TFTに用いられているシラン/亜酸化窒素系のプラズマCVD酸化膜は、Si-N結合による欠陥準位が形成され、駆動回路を内蔵するp-Si TFTでは特性が不十分である。

ゲート酸化膜としてTEOS酸化膜を採用することにより、低温p-Si TFTの信頼性を確保した。

(注9) 基板に打ち込まれたもののうち、正味のBの割合。

(注10) バイアス電圧と温度をかけて劣化をさせる加速試験。

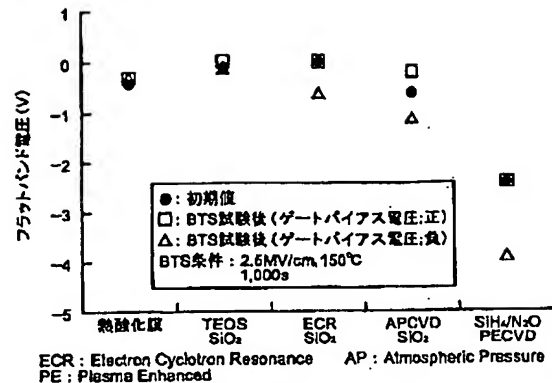


図5. 様々な酸化膜のBTS試験前後の変化 単結晶Si基板上に酸化膜を成膜し、MOS (Metal Oxide Semiconductor) キャパシタで評価した例を示す。TEOSを原料とした酸化膜は、熱酸化膜に匹敵する良質なものである。

MOS flat band voltage with various SiO<sub>2</sub> films

#### 5 あとがき

低温p-Si TFTを用いて、世界に先駆けて駆動回路一体型のノートPC用10型液晶ディスプレイパネルとして商品化することができた。加えて高精細な画質を実現し、ユーザーニーズに十分こたえられるものと期待している。

今後は、更にTFTの素子特性を向上することによりシステム(アナログ回路)をガラス基板上に集積し、限りない可能性を秘めた“システム オン グラス”に向けて努力を続けていきたい。

#### 文 献

- (1) Aoki, Y., et al. "A 10.4-in. XGA Low-Temperature Poly-Si TFT-LCD for Mobile PC Applications". SID'99 Digest. 1999-05, SID. 1999, p.176-179.
- (2) Ibaraki, N. "Low-Temperature Poly-Si TFT Technology". SID'99 Digest. 1999-05, SID. 1999, p.172-175.



西部 徹 NISHIBE Tohru

ディスプレイ・部品材料社 液晶開発センター アレイ生産技術開発担当主査。ポリシリコンアレイプロセス開発業務に従事。日本応用物理学会会員。

LCD Research & Development Center



茨木 伸樹 IBARAKI Nobuki, D.Eng.

ディスプレイ・部品材料社 液晶開発センター アレイ生産技術開発担当グループ長、工博。ポリシリコンアレイプロセス開発業務に従事。SID、日本応用物理学会会員。

LCD Research & Development Center

## 四探針法 (4-Point Probe) を用いた抵抗測定 [1]

はじめに

四探針法による導電性プラスチックの抵抗率測定法が 1994 年に JIS K 7194 として JIS 規格に採用されている。この方法はバルクでも薄い膜状のシートでもさまざまな形状の導体、半導体などの抵抗率を測定できる便利な方法である。しかし、教科書の 72, 73 ページを見ても何故式 (4.39) で表されるのか不明なので、この式 (4.39) を導出してみよう。

4 探針抵抗率測定装置は、半径が有限で等間隔に配置されたタングステン金属チップをプローブとしている。4 つの金属チップは、測定中、上下に移動する自動機械ステージの一部をなしており、測定の際に試料の損傷を最小限に止めるため、各チップはスプリングで一端を保持されている。

図 1 に示すように、最外側の 2 つのプローブからハイインピーダンスの電流源を使って電流  $I$  を供給する。試料の抵抗率を決定するために内側の 2 本のプローブ間の電圧  $V$  を電圧計で測定する。典型的なプローブ間隔  $d$  はほぼ 1 [mm] 程度である。

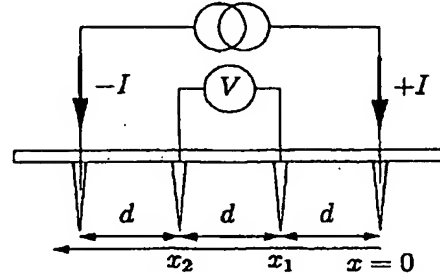
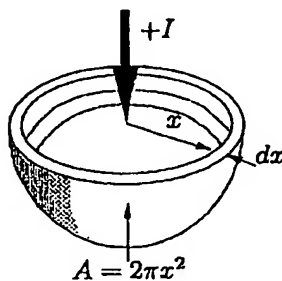


図 1. 四探針法のプローブ配置の概要

理論

バルク試料



プローブ先端の金属チップの大きさは無限小であり、試料は横手（幅）方向の長さが半無限であるものと仮定する。試料の厚さ  $t$  が十分に厚く、プローブ間隔  $d$  に対して  $t \gg d$  であるようなバルク試料では、外側の電流プローブから注入される電流は試料内に（半）球状に突出していくことが想定される。このとき、電流注入プローブの位置から距離  $x$  にある幅  $dx$  の半球殻の微分抵抗は、抵抗率を  $\rho$  として次式で与えられる。

$$\Delta R = \rho \left( \frac{dx}{A} \right), \quad A = 2\pi x^2 \quad (1)$$

電圧を測定する内側のプローブチップ間で上式の積分を実行すると、プローブ間の抵抗  $R$  が求まる。

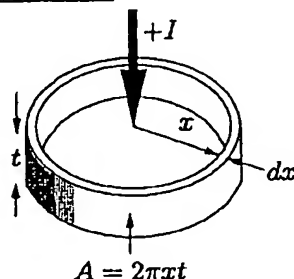
$$R = \int_{x_1}^{x_2} \rho \frac{dx}{2\pi x^2} = \frac{\rho}{2\pi} \left( -\frac{1}{x} \right) \Big|_d^{2d} = \frac{1}{2d} \frac{\rho}{2\pi} \quad (2)$$

ただし、プローブの間隔は一樣で  $d$  と仮定している。

上では  $+I$  の電流注入による半球殻の抵抗を求めたが、他方の  $-I$  の電流“注入”による影響も全く同じように考えられるから、最外側の二つの電流プローブチップからの電流注入により、電圧プローブ間の抵抗には  $R = V/2I$  の関係が成り立つ。ゆえに、バルクの抵抗率は次のように表せる。

$$\rho = 2\pi d \left( \frac{V}{I} \right) \quad (3)$$

薄膜シート



一方、非常に薄い層状の試料（厚さ  $t \ll d$ ）では、電流は試料表面で遮られるので、球殻状ではなく環（リング）状に流れていくと考えられる。その部分の面積は  $A = 2\pi xt$  であるから、薄膜シートの抵抗は次のように導かれる。

$$R = \int_{x_1}^{x_2} \rho \frac{dx}{2\pi xt} = \int_d^{2d} \frac{\rho}{2\pi t} \frac{dx}{x} = \frac{\rho}{2\pi t} \ln(x) \Big|_d^{2d} = \frac{\rho}{2\pi t} \ln 2 \quad (4)$$

したがって、 $R = V/2I$  を代入すると、薄膜シートの抵抗率は次式で与えられる。

$$\rho = \frac{\pi t}{\ln 2} \left( \frac{V}{I} \right) \quad (5)$$

これが教科書 72 ページの式 (4.39) である。この式は van der Pauw 法での抵抗率の式 (4.40) と比例係数が類似しているが、もともとの計測原理は両者で異なる。さらに、式 (5) や式 (6) はプローブの間隔  $d$  には依存しないことに注意しよう。これらの式は  $p$  型基板内の拡散  $N^+$  領域のような特徴的な半導体層に対してもしばしば用いられる、有効な式である。

一般に、シート抵抗  $R_S$  は次のように表される:

$$R_S = \rho/t, \quad \therefore R_S = k \left( \frac{V}{I} \right) \quad (6)$$

ただし、係数  $k$  は幾何学的な形状要素であり、半無限の薄膜シートでは  $k = \pi / \ln 2 = 4.53..$  である。

## 参考文献

- [1] [http://microlab.berkeley.edu/~ee143/Four-Point\\_Probe/](http://microlab.berkeley.edu/~ee143/Four-Point_Probe/)